

(19) Japanese Patent Office

(11) Laid-Open Japanese Patent Application (Kokai)

Number: S53-27382

Unexamined Patent Application Gazette

5 (43) Laid-Open Publication (Kokai) Date: March 14, 1978

(51) Int. Cl.<sup>2</sup> Identification code (52) Japanese Classification

H 01 L 31/10

99(5) J 42

G 11 C 13/06

97(7) C 19

Internal Ref. No.

10 6655-57

7056-56

Number of inventions: 3

Request for examination: Not requested

(Total 13 pages)

15

(54) Title of the Invention:

Photosensitive device and photosensitive element used in the  
photosensitive device

(21) Application number: S52-102532

20 (22) Date of filing: August 26, 1977

Declaration of priority

(31) 35533-76

(32) August 26, 1976

(33) Netherlands

25 (72) Inventor: Jan LOHSTROH

Emmasingel 29, Eindhoven, Netherlands

(71) Applicant: N.V. Philips Gloeilampenfabriken  
Emmasingel 29, Eindhoven, Netherlands

(74) Representative      Patent attorney  
Akihide SUGIMURA (and one other)

5

Specification

1. Title of the invention

Photosensitive device and photosensitive element used in the  
photosensitive device

10

2. Claims

15

20

25

1. A photosensitive device comprising a semiconductor body  
having a photosensitive element which operates in a charge transfer  
and charge storage mode, said photosensitive element comprising a  
semiconductor body portion of a first type conductivity and an  
electrode layer separated from a main surface of said semiconductor  
body portion by a barrier layer and extending over a photosensitive  
area of said semiconductor body portion, mobile charge carriers being  
generated in the photosensitive area in response to incident radiation  
to be detected, said electrode layer forming with an underlying portion  
of said semiconductor body a charge transfer structure having means  
for applying bias potential to the electrode layer to form a capacitive  
depletion layer in said underlying semiconductor body portion during  
operation without inverting the conductivity type in the surface of said  
semiconductor body portion, and means for producing in said  
depletion layer a drift field extending across said photosensitive area,  
substantially parallel to said major surface and in the direction of an

edge portion of said electrode layer so that the produced photo-generated charge carriers from the whole of said photo-sensitive area be transported along said drift field towards said edge portion; the photosensitive device further comprising means for locally delimiting in the semiconductor body portion a charge storage zone adjacent to said edge portion of said electrode layer and for storing the photo-generated charge carriers transported by said drift field; and means associated with said charge storage zone for detecting the charge state of said charge storage zone.

2. A photosensitive device as claimed in Claim 1, wherein the largest dimension of said charge storage zone is at least one order of magnitude smaller than the smallest dimension parallel to said major surface across the whole of said photosensitive area underlying said electrode layer.

3. A photosensitive device as claimed in Claim 1, wherein said smallest dimension across the photosensitive area is at least 1 mm.

4. A photosensitive device as claimed in any one of Claims 1 to 3, wherein said photosensitive area underlying the electrode layer is at least 1 mm<sup>2</sup>.

5. A photosensitive device as claimed in any one of Claims 1 to 5, wherein said barrier layer is an insulating layer, and the electrode layer comprises a resistive electrode which extends over said photosensitive area and has first and second connections, from which a voltage having a potential difference is applied along said resistive electrode to produce the drift-field in the underlying semiconductor body portion.

6. A photosensitive device as claimed in Claim 5, comprising means for applying to one of said first and second connections a voltage pulse so as to allow the photo-generated charge carriers to be accumulated below said resistive electrode when, in the absence of said pulse, said one connection is at the same potential as the other connection, and then to drift towards said charge storage zone when said pulse is applied to establish said potential difference between the connections.

7. A photosensitive device as claimed in Claim 5 or Claim 6, wherein the charge storage zone and said first connection are provided adjacent to one corner of the resistive electrode, and said second connection is provided adjacent to an opposite corner of said resistive electrode.

8. A photosensitive device as claimed in Claim 5 or Claim 6, wherein the electrode layer further comprises an elongate resistive electrode which extends alongside of the main resistive electrode and has a smaller surface area, said first connection being provided adjacent to the elongate resistive electrode, said second connection being provided adjacent to an opposite side of said resistive electrode, said charge storage zone being provided adjacent to one end of said elongate resistive electrode, and the elongate resistive electrode comprising connections adjacent opposite ends thereof for applying a voltage having a potential difference therebetween to produce a drift-field in the underlying semiconductor body portion in the direction of said charge storage zone.

9. A photosensitive device as claimed in any one of Claims 1 to 9, wherein the charge storage zone is provided with a switchable connecting device for temporarily connecting said charge storage zone during operation to a voltage source and reset thereby the potential of said charge storage zone prior to the collection of photo-generated charge carriers.

10. A photosensitive device as claimed in Claim 9, wherein said switchable connecting device is an insulated-gate field-effect transistor which is provided in said semiconductor body portion, and wherein said charge storage zone also forms a main electrode zone of said transistor.

11. A photosensitive device as claimed in Claim 9 or Claim 10, wherein the charge storage zone is an impurity-doped zone of opposite conductivity type to that of said semiconductor body portion and is locally provided in said semiconductor body portion forming a p-n junction therewith.

12. A photosensitive device as claimed in Claim 9 or Claim 10, wherein an insulation electrode layer forms together with the underlying semiconductor body portion of said one conductivity a bulk-channel charge transfer structure for charge carriers of said conductivity type, and wherein a semiconductor zone forming the charge storage zone is a part of the semiconductor body portion of one conductivity type.

13. A photosensitive device as claimed in any one of Claims 1 to 12, wherein a circuit for detecting the charge state of said charge

storage zone is integrated in the same semiconductor body as said photosensitive element.

14. A photosensitive device as claimed in any one of Claims 1 to 13, wherein the charge state of the charge storage zone is detected by a circuit which compares the potential of the charge storage zone with the potential of a corresponding zone which has not collected charge carriers generated by incident radiation, the circuit switching an output stage from one state to another state when a difference between both potentials exceeds a predetermined value.

15. A magneto-optical memory device using a photosensitive device as claimed in any one of Claims 1 to 14, for detecting optical radiation representative of the memory state of individual storage sites of the magneto-optical memory device.

16. A photosensitive element suitable for use in the photosensitive device as claimed in Claim 2, wherein the largest dimension of said charge storage zone is at least one order of magnitude smaller than the smallest dimension parallel to said major surface across the whole of said photosensitive area underlying said electrode layer.

17. A photosensitive element as claimed in Claim 16, wherein said smallest dimension across the photosensitive area is at least 1 mm.

18. A photosensitive element as claimed in Claim 16 or 17, wherein said photosensitive area underlying the electrode layer is at least 1 mm<sup>2</sup>.

19. A photosensitive element suitable for use in a photosensitive device as claimed in Claim 5 or Claim 6, wherein the

charge storage zone and said first connection are provided adjacent to one corner of the resistive electrode, and said second connection is provided adjacent to an opposite corner of said resistive electrode.

20. A photosensitive element suitable for use in the  
5 photosensitive device as claimed in Claim 5 or Claim 6, wherein the electrode layer further comprises an elongate resistive electrode which extends alongside of the main resistive electrode and has a smaller surface area, said first connection being provided adjacent to the elongate resistive electrode, said second connection being provided  
10 adjacent to an opposite side edge of said main resistive electrode, said charge storage zone being provided adjacent to one end of said elongate resistive electrode, and the elongate resistive electrode comprising connections adjacent opposite ends thereof for applying a voltage having a potential difference therebetween to produce a drift-  
15 field in the underlying semiconductor body portion in the direction of said charge storage zone.

21. A photosensitive element suitable for use in a photosensitive device as claimed in Claim 9, wherein the charge storage zone is provided with a switchable connecting device for  
20 temporarily connecting said charge storage zone during operation to a voltage source and reset thereby the potential of said charge storage zone prior to the collection of photo-generated charge carriers.

22. A photosensitive element as claimed in Claim 21, wherein said switchable connecting device is an insulated-gate field-effect  
25 transistor which is provided in said semiconductor body portion, and

wherein said charge storage zone also forms a main electrode zone of said field-effect transistor.

23. A photosensitive element suitable for use in a photosensitive device as claimed in Claim 9, wherein the charge  
5 storage zone is an impurity-doped zone of opposite conductivity type to that of said semiconductor body portion and is locally provided in said semiconductor body portion forming a p-n junction therewith.

Translator's notes:

"Claims 1 to 5" in the original, should probably read "Claims 1 to 4"?

"Claims 1 to 9" in the original, should probably read "Claims 1 to 8"?

}

⑬日本国特許庁  
公開特許公報

⑭特許出願公開

昭53-27382

⑯Int. Cl.  
H 01 L 31/10  
G 11 C 13/06

識別記号

⑰日本分類  
99(5) J 42  
97(7) C 19

⑱国内整理番号  
6655-57  
7056-56

⑲公開 昭和53年(1978)3月14日

発明の数 3  
審査請求 未請求

(全 13 頁)

⑳光応応装置及びこの光応応装置に用いる光感  
応素子

オランダ国アインドーフエン・  
エマシゲル29

㉑出 願 人 エヌ・ベー・フィリップス・フ  
ルーイランペンフアブリケン  
オランダ国アインドーフエン・  
エマシゲル29

㉒特 願 昭52-102532  
㉓出 願 昭52(1977) 8月26日  
優先権主張 ㉔1976年8月26日㉕オランダ国  
㉖35533-76

㉗代 理 人 弁理士 杉村曉秀 外1名

㉘発 明 者 ヤン・ローストロー

## 明 細 書

1 発明の名称 光感応装置及びこの光感応装置  
に用いる光感応素子

2 特許請求の範囲

1. 電荷搬送電荷電極構造モードで動作する光感  
応素子を有する半導体本体を具え、該光感応  
素子には一導電性の半導体本体部分と障壁層  
によつて該半導体本体部分の主表面から分離  
され且つ前記半導体本体部分の光感応区域上  
に存在する電極層とを設け、この光感応区域  
内には傾斜すべき入射偏光線に露着して移動  
可能な電荷キャリアを発生させ、前記電極層  
と前記下面半導体本体部分とで以つてバイア  
ス電圧を該電極層に印加して動作期間中且つ  
該半導体本体部分の表面の導電度を反転する  
ことなく前記下面半導体本体部分内に容量性  
空乏層を形成する手段と、該空乏層内に、前  
記光感応区域を覆いつつ前記主表面に隣り平  
行で且つ前記電極層の端部方向に存在するド  
リフト電界を発生して前記光感応区域の全体

から発生した光誘起電荷キャリアをこのドリ  
フト電界によつて前記端部方向に搬送する手  
段とを有する電荷搬送構造を形成し、性かに前  
記電極層の前記端部に隣接して前記半導体本  
体部分に電荷蓄積領域を局部的に形成し前記  
ドリフト電界によつて搬送された光誘起電荷  
キャリアを捕獲する手段と、この電荷蓄積領  
域と共働してその電荷状態を搬送する手段とを  
具えたことを特徴とする光感応装置。

2. 前記電荷蓄積領域の最大寸法を電極層の下  
面に存在する前記光感応区域全体の前記主表  
面に平行な最小寸法よりも少くとも一桁小さく  
したことを特徴とする特許請求の範囲第1項  
記載の光感応装置。

3. 光感応区域を覆いつつ前記最小寸法を少く  
とも1/10とすることを特徴とする特許請求の範  
囲第1項記載の光感応装置。

4. 電極層の下面の前記光感応区域の面積を少  
くとも1/10とする特許請求の範囲第1項記  
載のいずれかに記載の光感応装置。

特開昭53-27382(2)

5. 前記導電層を絶縁層とし、電極層を、前記光電光敏15区域上に存在し且つ前記及び前記二つの電極部を有する活性電極部とし、前記一及び二電極部から活性電極部へ電圧を有する電圧を印加して下層半導体本体部分内にドリフト電界を生じさせるようにしたことを特徴とする特許請求の範囲第1〜9項のいずれかに記載の光電応答装置。
6. 前記一及び二電極部の一方に電圧パルスを印加する手段を設け、これにより光電応答を生じ電荷キャリアを、前記パルスが存在せず、前記一方の電極部が他方の電極部と同電位である場合に前記活性電極部の下面に捕獲すると共に前記パルスが印加されて両電極部間に前記電位差が生ずる場合に前記電荷蓄積領域にドリフトさせるようにしたことを特徴とする特許請求の範囲第9項記載の光電応答装置。
7. 電荷蓄積領域及び前記一電極部を前記活性電極部の一方の両端に接続して設け、前記二電極部を前記活性電極部の対向する両端に接続して設けるようにしたことを特徴とする特許請求の範囲第9項又は第10項記載の光電応答装置。
8. 電荷蓄積領域には切替自在の接続機構を設けこれにより動作中電荷蓄積領域を電圧源に一時的に接続して光電応答を生じ電荷キャリアの捕獲前記電荷蓄積領域の電位をリセットすることを特徴とする特許請求の範囲第9項又は第10項記載の光電応答装置。
9. 前記電荷蓄積領域の電荷状態を検出するための回路を前記光電応答素子と同じ半導体本体内に形成するようにしたことを特徴とする特許請求の範囲第1〜13項のいずれかに記載の光電応答装置。
10. 前記切替自在の接続機構を前記半導体本体部分内に設けた絶縁ゲート電界効果トランジスタとし且つ前記電荷蓄積領域によつて該電界効果トランジスタの主電極領域を構成するようにしたことを特徴とする特許請求の範囲第9項記載の光電応答装置。
11. 電荷蓄積領域を前記半導体本体部分とは反対の導電型の不純物添加領域とすると共に該半導体本体部分内に局所的に設置して半導体本体部分との間にPN接合を形成するようにしたことを特徴とする特許請求の範囲第9項又は第10項記載の光電応答装置。
12. 絶縁電極層は前記一導電型の下層半導体本体部分と相俟つて導電型の電荷キャリアに対してバリア作用を電荷転送機構を形成し、且つ電荷蓄積領域を形成する半導体領域を一導電型の前記半導体本体部分の一部とするこ
- とを特徴とする特許請求の範囲第9項又は第10項記載の光電応答装置。
13. 前記電荷蓄積領域の電荷状態を検出するための回路を前記光電応答素子と同じ半導体本体内に形成するようにしたことを特徴とする特許請求の範囲第1〜13項のいずれかに記載の光電応答装置。
14. 電荷蓄積領域の電荷状態を、前記電荷蓄積領域の電位と入射偏射線により発生した電荷キャリアの捕獲されていない対向する領域の電位とを比較する回路によつて検出し、該回路によつてこれら両電位間の差が予定値を越える場合に出力段を一方の状態から他方の状態へ切換えるようにしたことを特徴とする特許請求の範囲第1〜13項のいずれかに記載の光電応答装置。
15. 絶縁一電圧記憶領域の各別の記憶領域の記憶状態を従つて光学的偏射線を検出するために特許請求の範囲第1〜14項のいずれかに記載の光電応答装置を用いるようにしたことを特徴

特開昭53-27382,3

とする面第一光學記憶装置。

16. 前記電荷蓄積領域の最大寸法を電極層の下側に存在する前記光感応区域全体の前記主面方向に平行な最小寸法よりも少くとも一倍小さくしたことを特徴とする特許請求の範囲第2項記載の光感応装置に使用するに好適な光感応素子。

17. 光感応区域を覆う前記最小寸法を少くとも $1/\mu\text{m}$ とすることを特徴とする特許請求の範囲第16項記載の光感応素子。

18. 電極層の下側の前記光感応区域の面積を少くとも $1/\mu\text{m}^2$ とする特許請求の範囲第16項又は第17項記載の光感応素子。

19. 電荷蓄積領域及び前記第一接続部を前記抵抗性電極の一方の端部に隣接して設け、前記第二接続部を前記抵抗性電極の対向する端部に隣接して設けるようにしたことを特徴とする特許請求の範囲第9項又は第10項記載の光感応装置に使用するに好適な光感応素子。

20. 電極層には往々に前記抵抗性電極に比べて、

延在し且つ面積が一層小さい細長抵抗性電極を設け、前記第一接続部をこの細長抵抗性電極に隣接して設け、前記第二接続部を前記抵抗性電極の反対側端部に隣接して設け、前記電荷蓄積領域を前記細長抵抗性電極の一端部に隣接して設け、この細長抵抗性電極にはその両端部に隣接して接続部を設けこれら両接続部間に電位差を有する電圧を印加し下半導体不導体部分内に前記電荷蓄積領域の方向にドリフト電界を発生させるようにしたことを特徴とする特許請求の範囲第9項又は第10項記載の光感応装置に使用するに好適な光感応素子。

21. 電荷蓄積領域には切換自在の接触抵抗を設けこれにより動作中該電荷蓄積領域を電圧源に一時的に接続して光感応発生電荷キャリアの増大前前記電荷蓄積領域の電位をリセットするようにしたことを特徴とする特許請求の範囲第9項記載の光感応装置に使用するに好適な光感応素子。

22. 前記切換自在の接触抵抗を前記半導体不導体部分内に設けた絶縁ゲート電界効果トランジスタとし且つ前記電荷蓄積領域によつて該電界効果トランジスタの主電極領域を構成するようにしたことを特徴とする特許請求の範囲第11項記載の光感応素子。

23. 電荷蓄積領域を前記半導体不導体部分とは反対の導電性の不純物添加領域とすると共に、該半導体不導体部分内に局所的に設置して半導体不導体部分との間に接触を形成するようにしたことを特徴とする特許請求の範囲第9項記載の光感応装置に使用するに好適な光感応素子。

# 2. 発明の詳細な説明

本発明は電荷転送電荷蓄積モードで動作する光感応素子を有する半導体不導体を具える光感応装置及び所かかる装置に用いる光感応素子に関するものである。

電荷転送電荷蓄積モードで動作する光感応素子を有する半導体不導体を具える前記光感応装置は、

既知である。一般に所かかる装置は、例えば米国特許第3,896,476号明細書から明らかなように、所かかる光感応素子をアレーに配列して構成している。この光感応素子は導電性の半導体不導体部分と導電性絶縁材料の層状構造によつて半導体不導体部分の主面から分離される電極層とで構成され、この電極層を前記半導体不導体部分の光感応区域上に延在させ、この光感応区域内部において吐出する入射封鎖に密着して移動可能な電荷キャリアを発生させるようにしている。これら既知の装置においては電極層により光感応素子の光ゲートを構成する。この光ゲートに電圧を印加して前記半導体不導体部分の光感応区域内に電位井戸を作り導電性の均等な空乏層を形成させる。入射封鎖により発生した電荷キャリアはこの均等な電位井戸内に蓄積する。次いで光ゲートの電位を低い値に切換え、電位井戸は消失し蓄積されていた電荷キャリアは、例えば、横断面の電荷転送シフトレジスタに転送され、従つてこれらシフトレジスタに付着てこれら電荷キャリアは電荷検出、

回路に搬送される。

本発明は、特に比較的大きな光感応区域を有し且つ僅かな光子密度、例えば1秒当り約 $10^{12}$ 光子/ $\text{cm}^2$ 以下の光子密度を検出又は増大し得る電荷搬送型電荷蓄積モードの光感応素子に関するものである。

前述した感度の電荷蓄積モードの光感応素子は光感応区域を小さくするように設計する必要がある。その代償的な面では $100\mu\text{m}^2$ 又はそれ以下である。光感応素子の光感応区域及び光ゲート区域を大きく(例えば $1\text{mm}^2$ 又はそれ以上)するように設計する場合に、光ゲートの電位を低い値に固定する際、蓄積された電荷の一部分が光感応区域から逆方向に搬送され過ぎ従つて得られた信号が対稱封鎖の強度に相対しなくなる虞れがある。これがためか大きな大面積の光感応素子に入射する光子密度が低くなると、その結果生ずる信号減衰が著しく大きくなる。

本発明の目的は、電極層の下面の前記半導体本体部分の光感応区域内に発生した移動可能な電荷

特開昭53-27382(4)

キャリアを、半導体本体部分内の電極層の下面に形成した空乏層のドリフト電界によつて電極層の一部分に捕獲して局部的に捉けられた電荷蓄積領域に搬送させ、このドリフト電界を前記光感応区域を横切つて前記電荷蓄積領域の方向に増進させるようにした光感応素子及びこの素子に用いる光感応素子を提供せんとするにある。

本発明の他の目的は光感応区域が極めて大きく且つ光子密度が低い場合でも、光感応区域から発生する電荷キャリアを電荷蓄積領域に搬送し得ると共に、前記電荷蓄積領域の荷電状態又は電位の変化として検出し得る光感応素子及びこの素子に用いる光感応素子を提供せんとするにある。

本発明光感応素子は電荷搬送型電荷蓄積モードで動作する光感応素子を有する半導体本体を具え、該光感応素子には一導電層の半導体本体部分と該導電層によつて該半導体本体部分の表面から分離され且つ前記半導体本体部分の光感応区域上に存在する電極層とを設け、この光感応区域内には検出すべき入射電荷に相当して移動可能な電荷カ

リヤを発生させ、前記電極層と前記下面半導体本体部分とで成つてバイアス電圧をCの電極層に印加して動作期間中且つこの半導体本体部分の表面部の導電層を形成することなく前記下面半導体本体部分内に容量性空乏層を形成する手段と、Cの空乏層内に前記光感応区域を横切つて前記空乏層に平行で且つ前記電極層の端部方向に延在するドリフト電界を発生して前記光感応区域の全体から発生した光感応電荷キャリアをこのドリフト電界に沿つて前記端部方向に搬送する手段とを有する電荷搬送型電荷蓄積素子、或は前記電極層の前記端部に隣接して前記半導体本体部分に電荷蓄積領域を局部的に形成し前記ドリフト電界によつて搬送された光感応電荷キャリアを捕獲する手段と、この電荷蓄積領域と共働しその電荷状態を検出する手段とを具えたことを特徴とする。

本発明の光感応素子は少くとも所ある領域に用いる光感応素子は、前記電荷蓄積領域の最大寸法を電極層の下面に存在する前記光感応区域全体の前記主面に平行な最小寸法よりもずっと小

くする(例えば少くとも一桁小さい)。これがため、電荷蓄積領域の容量は極めて小さくなり、従つて電荷状態の僅かな変化をも検出可能な程度の大きな変化に感応することが出来る。斯かる光感応素子は、例えば大きな区域に亙る広い光子密度を検出又は増進するのに特に好適である。光感応区域を横切る前記最小寸法を、例えば、少くとも $1\text{mm}$ とし、電極層の下面の前記光感応区域の面積を、例えば、少くとも $1\text{mm}^2$ とすることができる。

導電層は、絶縁層とするのが好適であるがこれを例えばシフトキー連合型半導体層と下層半導体本体部分との間のpn接合とすることも出来る。本発明光感応素子及び装置においては、前記光感応発生電荷キャリアを搬送するためのドリフト電界を、絶縁電極層と下層半導体本体部分とによつて形成される電極-絶縁層-半導体層に於つて可変境界電圧によつて発生させることができる。これがため例えば電圧を印加して前記半導体本体部分に對して電極をバイアスする第一の接線部を有する光ゲート電極によつて電極層を形成するC、

とができる。所かる場合には、この電極の下側のドリフト電界は、電極下の半導体不体部分の表面に沿つて（例えば注入により）ドーピング（不純物添加）勾配を設けることにより弱しくは飽和層内に（例えば注入により）電極の相手方向に沿つて変化させる電荷を導き入ることにより、又は導き電極に沿つて距離と共に電荷蓄積領域の方向に次第に弱くなる飽和層を設けることにより、発生させることができる。

好適な例では前記障壁層を飽和層とし、電極層を前記光感応区域上に形成し且つ第一及び第二接続部を有する抵抗性電極とし、該第一及び第二接続部から抵抗性電極に沿つて電位差を有する電圧を印加して下面半導体不体部分内にドリフト電界を発生させるようにする。所かる抵抗性電極層は一般的に電位差を有する電圧を印加して電位差を有する電圧を印加して下面半導体不体部分内にドリフト電界を発生させるようにする。所かる抵抗性電極層は一般的に電位差を有する電圧を印加して電位差を有する電圧を印加して下面半導体不体部分内にドリフト電界を発生させるようにする。

簡単に好適な例においては、抵抗性電極を有する所かる光感応装置は第一接続部と第二接続部と、

特開昭53-27382(5)  
の間に形成した一定の電位差の電圧により動作させることができる。しかし、ある場合には、光感応装置の動作中に飽和層内部の電位差を流れる強かな電流によつても不所望な飽和電圧が生ずるようになる。これが尤も不所望の現象を例では、前記第一及び第二接続部の一方に電圧パルスを用いる手段を設け、これにより光感応装置電荷キャリアを、前記パルスが存在せず、前記一方の接続部が他方の接続部と同電位である場合に前記抵抗性電極の下側に蓄積すると共に前記パルスが印加されて両接続部間に前記電位差が生ずる場合に前記電荷蓄積領域にドリフトさせるようにする。従つて不所望な電位差の飽和電圧を、動作中における前記電位差の存在する期間を短縮することによつて減少させることができる。

換言するに、所かる抵抗性電極層構造として多くの態様が考えられる。一例としては、電荷蓄積領域及び前記第一接続部を前記抵抗性電極の一方の端部に隣接して設け、前記第二接続部を前記抵抗性電極の対向する端部に隣接して設けるよ、

うにする。他の例としては、電極層は電極下に前記抵抗性電極に沿つて形成し且つ面積が層小の抵抗性抵抗性電極を設け、前記第一接続部をこの抵抗性抵抗性電極に隣接して設け、前記第二接続部を前記抵抗性電極の反対端部に隣接して設け、前記電荷蓄積領域を前記抵抗性抵抗性電極の一端部に隣接して設け、この抵抗性抵抗性電極はその両端部に隣接して接続部を設けこれら両接続部間に電位差を有する電圧を印加して下面半導体不体部分内に前記電荷蓄積領域の方向にドリフト電界を発生させるようにする。

電荷蓄積領域は引致自在の接続電圧を設けこれにより動作中電荷蓄積領域を電圧差に一時的に逆送して光感応装置電荷キャリアの蓄積を前記電荷蓄積領域の電位をリセットするようにする。前記引致自在の接続電圧を前記半導体不体部分内に設けた飽和ゲート電界形成トランジスタとし且つ前記電荷蓄積領域によつて電荷蓄積領域トランジスタの主電極領域を形成するようにする。このようにして常に電圧差を維持することができる。し

かし、他の手段によつて電荷の蓄積前に電荷蓄積領域の電荷状態及び電位をリセットし得ることも明らかである。

不純物光感応装置においては、電荷蓄積領域を電圧井戸の形態とし、これを飽和ゲート電極の下側の半導体不体部分内に形成した形にする。所かるゲート電極では、電荷の放出フローティングゲート増幅の原理を使用することができる。

電荷蓄積領域を前記半導体不体部分とは反対の導電型の不純物添加領域とすると共に半導体不体部分内に局部的に設置して半導体不体部分との間に接合を形成するようにする。所かる反対導電領域はこれに一時的に逆電圧を印加してその電位をセフトした後、この反対導電型の電荷キャリアを蓄積しつ蓄積することができる。しかし飽和電極層は前記導電型の下面半導体不体部分と相対して導電型の電荷キャリアに対してバリエーション電荷転送領域を形成し、且つ、電荷蓄積領域を形成する半導体領域は導電型の前記半導体不体部分の一部とするようにする。

絶縁電極層と下層半導体不導部分とによって形成される電荷搬送機構を電荷キャリアル電荷搬送道とし、多数電荷キャリアル（即ち、前記反対導電型の電荷キャリアル）を前記絶縁電極層の下側の前記半導体不導部分の下面に隣接して搬送させるようにする。しかし、電荷搬送機構をパルサチナル電荷搬送道とし、多数電荷キャリアル（即ち、一導電型の電荷キャリアル）を前記半導体不導部分のパルサチナル微小電位部分に沿って搬送させこれにより移動可能な電荷キャリアルを連続して搬送道層を流下させる流れのある表面状態が出現するのを防止することができる。斯かるパルサチナル電荷搬送機構においては、例えば、オランダ国公開特許公報第7,303,778号に開示する装置中の英国特許出願第11,776/78号に記載したような傾いたドーピング層を得る目的で前記半導体不導部分内の一層層構造に不規則添加した前記一導電型の表面層を設けるのが好適である。

前記電荷蓄積領域の電荷状態は多くの方法で検出することができる。即ち種々の形式の電荷検出

特開昭53-27382(6)

回路を用い、これら回路を前記電荷蓄積領域に隣接する電極表面に接続してその電荷状態を読み取るようにする。斯る電極表面は例えば前記電荷蓄積領域上に設けられた光感センシング・ゲート電極とすることができる。しかし、この電極表面を前記電荷蓄積領域に接続させて前記前記電荷蓄積領域の電荷状態を検出するための回路を前記光感センシング・ゲートと同一半導体不導体内に連続化すると、装置の構造を簡便とすることができる。前記電荷蓄積領域の電荷状態を該電荷蓄積領域の電位と入射光射線により誘起した電荷キャリアルの増減によって検出し、該電極表面によってこれら増減位置の差が予選定を越える場合に出力段を一方の状態で一方の式で切換えようとする。このようにして入射光射線の有無を電位に反映させることができる。

不透明光感層素子及び光感層素子は透光一光学記憶装置を設け出すのに特に有効である。従つて、

不透明な上には、透光一光学記憶装置の各別の記憶領域の記憶状態を検出する光学的射線を検出するために前記光感層素子を用いるようにする。通常斯かる記憶装置は、レーザビームその他の光ビームを各別の記憶領域に当てて透過し透過ビームの偏光面を検出することによって検出する。斯かる装置においては、不透明光感層素子の電荷状態はビームが各別の記憶領域に引換えられる度毎に検出することができる。

しかし、不透明光感層素子及び光感層素子は照度の測定、例えばカメラの露出前に使用することもできる。この場合には、例えば、シムツトリガ回路を用いて電荷蓄積領域の電位を連続的に監視し、所定露出前に対応する電圧レベルが得られた時点で検出してカメラのシャッターを駆動し得るようにする。

図面につき不透明を説明する。

係付領域は模式的なもので寸法通りではなく、明瞭ならしめるために一面の領域及び層を能く比して拡大して示す。

第1図に示す光感層素子は光感層素子を有する半導体不導/をもつて構成する。この半導体不導/は代換的には、例えば、単結晶シリコンと。光感層素子は一導電型の前記半導体不導/の一部とと電極層とを以て構成し、この電極層は導電層4によつて前記半導体不導部分2の表面面2から分離され且つ半導体不導部分2の光感層素子上に貼着させる。第1図の装置においては、導電層4を、例えば酸化シリコンで塗り出すべき射線Jを透過し得る絶縁層とする。この電極層4の下側の光感層素子に検出すべき入射光射線Jに依存して移動可能な電荷キャリアルが発生する。絶縁電極層4は下層半導体不導部分2と相俟つて電荷搬送機構を形成しこれにより光感層素子電荷キャリアル（この場合少数電荷キャリアル）を空乏層7内のフリット電界に沿って搬送し得るようにする。この空乏層7は、バイアス電圧 $V(R_1)$ 及び $V(R_2)$ を電極層4に印加することによつて半導体不導部分2の表面の導電層を反転することなく動作領域中前記下層半導体不導部分2内に垂直的に、

特開昭53-27382(7)

・形成する。第1図の装置において、電極層5は、  
突出すべき絶縁被覆層3を通過でき且つその底に  
全域が埋め充たれる領域を成す抵抗性電極で構成さ  
れる。抵抗性電極5は、この抵抗性電極5に付して  
電位差を有する電圧 $V(R1)$ ～ $V(R1)$ を印加して下側  
半導体不純部分3内にドリフト電界を発生させる  
ための第一電極部5と第二電極部5とを設ける。  
このドリフト電界は第2図中に示す電位勾配10に  
よつて設けられ、電極5の下側に存在する全光導  
伝領域にわたつて発生し且つ表面5と底面5と平行と  
する。第2図の電位輪郭は図面に沿つてつたも  
のである。電位 $V(R1)$ 及び $V(R2)$ の大きさは各  
々電極一絶縁層一半導体によるコンデンサ構成5、  
4、2の境界電圧よりも大きくする。

第1図及び第2図に示すように、半導体不純部  
分3を $n$ 型導電層とすることができ、この場合は  
被覆層3によつて助成され発生した電子一正孔対  
のうち正孔 $h$ を電極5の下側の表面5に隣接し  
て転送させる電荷チャネルを半導体不純部分3に  
設ける。其電圧 $V(R1)$ 及び $V(R2)$ によつて発生さ

せたドリフト電界10の方向は、電荷蓄積領域13が  
設けられている絶縁電極層5の端部に同方向とな  
す。これがため、半導体不純部分3の光導伝区  
域の全域から光導伝発生した移動可能な電荷 $q$ キ  
リヤ $11$ はドリフト電界10により電荷蓄積領域13に  
転送される。電荷蓄積領域13と電極層5との間に  
は導電層が成るなり合う部分を設ける。

電荷蓄積領域13は、切換自在の抵抗領域14(こ  
の場合絶縁ゲート電界効果トランジスタを設け  
これにより電荷蓄積領域13を電圧 $V(O)$ に動作中一  
時的に接続し得るようにした半導体領域とする。  
抵抗領域14によつて、電荷蓄積領域13の電位及び  
電荷状態を所定移動可能な電荷 $q$ キリヤ $11$ の捕集  
前にリセットする。第1図及び第2図の光導伝  
域においては、電荷蓄積領域13は半導体不純部  
分3の導電層と反対側の導電面( $p$ 面)とし、電荷  
 $q$ キリヤ $11$ の捕集前にトランジスタ14が導電状態  
になっている抵抗電荷蓄積領域13と半導体不純部  
分3との間の $p$ 面14に負電圧 $V(O)$ により逆バイア  
スをかけるようにする。これがため電荷蓄積領域13

・に形成される電位井戸は絶縁電極層5の下側に形  
成される電位井戸より深くなる。次にトランジ  
スタ14が非導電状態になると予め荷電されていた $p$   
型電荷蓄積領域13が光導伝発生正孔 $h$ を捕集し且  
つ蓄積する。この状態は形成される電位井戸の電  
位は第2図中に示す電位14で示すように低くなる  
が近づくようになる。スイッチ14はゲート $g$   
にパルス $P(t)$ を印加することによつて表面の電位  
調節し得るようになる。

電荷蓄積領域13に抵抗領域14を内蔵させてその  
電荷状態を検出できるようにする。第1図の構造  
配座においては、この電極層13は電荷蓄積領域  
13に $O-A$ 接続し且つ検出回路部5にその出力を  
接続するようにする。検出回路部の出力電圧 $V(O)$   
は電荷蓄積領域13の電荷状態及び電位によつて決  
まる。

代表的な一例においては、印加電圧 $V(R1)$ 及び  
 $V(R2)$ を夫々例えば $-6V$ 及び $-5V$ とし、印加電圧  
 $V(O)$ を例えば $-10V$ とする。半導体不  
純部分3は $n$ 型導電層(0V)、 $n$ 型半導体不純部分3の

抵抗率は例えば $50\sim 100\Omega$ とすることができる。電荷蓄  
積領域13は不純物密度を例えば $10^{17}$ 又は $10^{18}$ 個  
子/ $cm^3$ 。として $p$ 型不純物を拡散又は注入する  
ことにより半導体不純部分3の中に形成することが  
できる。絶縁層5は例えば絶縁炭化シリコンとし  
その厚さを例えば $0.1\mu$ とすることができ、  
抵抗性電極5は絶縁層5の上に形成させた多結晶シ  
リコンから成り、その側面抵抗は例えば $10^4\Omega/cm^2$   
とする。電極5の下側の光導伝領域は例えば少  
くとも $1\mu^2$ とすることができる。

電極層5の下側の全光導伝領域で光導伝発生  
した正孔 $h$ はドリフト電界10の方向に電荷蓄積領域  
13へドリフトし、従つて全光導伝領域にわたつて  
高い捕集率が得られる。これは特に此電子密度  
の検出又は測定を目的とした大面積の検出装置と  
してとりわけ有利な点である。検出領域13の面積  
は装置中大きく光導伝領域と比較して極めて小  
くすることができ、従つて、検出領域13の容量は  
極めて小さく、かくして低光子密度、例えば $10^4$   
1秒当り $10^{12}$ 光子/ $cm^2$ とすべき低光子密度の検

・封鎖によつて光路が遮断された電荷キャリアを捕獲した結果生じるものであつてもその電位変化は比較的大きくなり容易に検出可能となる。代案の場合、前記電荷蓄積領域15の最大寸法は前記主面より平行な前記光感応区域全体と同程度の微小寸法Dと比較して少くとも一乃至二倍小さい。これがため、第3図に示す形態においては、例えば $D$ を $10\mu$ 、 $D$ を $1000\mu$ 以上、例えば $3mm$ とすることができる。第4図では、明確ならしめるため、絶縁層 $\beta$ と電荷蓄積領域15への接続部を省いてある。接続部 $\beta$ 及び $\gamma$ は抵抗性電極 $\beta$ の異なる溝部に隣接して設ける。そして電荷蓄積領域15は接続部 $\beta$ に隣接する溝部に設ける。電荷蓄積領域15及び電極 $\beta$ は方向を違えてハフティングして示してある。

接続部 $\gamma$ と $\delta$ との間の電位差によつて抵抗性電極 $\beta$ に不所望の熱電流が発生する虞れがある。第3図はパルス発生部で発生させた電圧パルス $V(R1)$ を、前記電圧の代りに、接続部 $\beta$ に印加する熱電流減少法を示す。クロックパルス $V(R1)$ は二個の

特開昭53-27382:J  
レベル、即ち大きさが接続部 $\beta$ に印加される $V(R2)$ に等しい、第一レベル $\alpha$ 及び大きさが $V(R2)$ より(幾分同じ)小さい第二レベル $\beta$ を有している。 $V(R1)$ がレベル $\alpha$ にある時は電極 $\beta$ の下に均質な電位井戸が形成される。人射光照射 $\alpha$ により光路が遮断された近孔はこの電位井戸内に貯まることができ、その一部は電荷蓄積領域15に転送する可能性がある。かくして、レベル $\alpha$ の時、電極 $\beta$ は通常の光ゲート電極のように振振う。電荷蓄積領域の成り立ちにおいて通常のバースレベルを印加して電位応度及びドリフト電界 $E$ を発生させる。電位井戸内に蓄積されていた電位近孔はその時前記ドリフト電界 $E$ に沿つて前記電荷蓄積領域15に転送される。

第1図及び第2図に示した新規な電荷蓄積モードの光感応素子は様々な形に設けることができる。かくして、例えば、第3図及び第4図に示す電極レイアウトを平面図に示す。第3図に示す光感応素子においては、電荷蓄積領域15の前面を絶縁抵抗性電極 $\beta$ により囲む。この場合接続

部 $\gamma$ は電荷蓄積層15に隣接して抵抗性電極層 $\beta$ の内側周縁部に設け、接続部 $\beta$ は外側周縁部に設ける。この第3図構造の一例点に電荷蓄積領域15から遠く離れた光感応区域で光路が遮断された電荷キャリアを転送する原理、従つて転送時間を短縮できることである。この構造の不利な点は電荷蓄積領域15への電極接続部(図示せず)のため光感応領域の光感応区域内に非感応中心部が形成され且つ $\gamma$ 及び $\beta$ への接続導線が光感応区域を横切つて延在する可能性があることである。

第4図の構造を形成させて電極 $\beta$ をらせん形にし、その内端に中心領域15に隣接して接続部 $\gamma$ を設け、外端に接続部 $\beta$ を設け光路の真直を構成できる。

第4図は、抵抗性電極 $\beta$ を第1図及び第2図の大型電極に類似する主要部 $\beta$ とその一部に沿つて延在する細長部 $\beta$ とで構成する本発明光感応素子の別の形態を示す。この場合、抵抗性電極 $\beta$ の接続部 $\gamma$ は細長抵抗性電極 $\beta$ と隣接する側に設け、接続部 $\beta$ は抵抗性電極 $\beta$ の反対側縁部に設ける。電極 $\alpha$ はその両端部に隣接して接続部 $\beta$ 及び $\gamma$ を設けそこに電位差を有する電圧を印加して下側半導体本体部分に電荷蓄積領域15方向へのドリフト電界を発生させる。電極 $\beta$ と $\alpha$ の下側のドリフト電界はほぼ一様で且つ互に垂直である。光路が遮断された電荷キャリアはまず電極 $\beta$ の下を右方向にドリフトし、次に電極 $\alpha$ の下を電荷蓄積領域15へと下方にドリフトする。明確ならしめるため第4図には、電極 $\alpha$ と電極 $\beta$ を離して描いてある。電極 $\beta$ から電極 $\alpha$ へ効率よく電荷転送するためには

この間隔を最小にすべきである。電極おとおを互にオーバーラップさせること好適である。勿論電極的には相互に絶縁する。電極おは其後の光感応区域の一部にかかると。代りに電極おを入射封縁膜からシールドし前記光感応区域が電極おの下にだけ存在するようにできる。

第4図につき説明した光感応素子は第1図のような装束構成に用いるのに特に適していることは明らかであろう。勿論他の変形も可能である。かくして、例えば第7図は、半導体本体/内に絶縁ゲート電界効果トランジスタを設けた優れたコンパクトな構造を得る方法を示す。この形態においては、電荷蓄積領域がトランジスタの一方の主電極領域を形成し、(動作中電圧V<sub>0</sub>を接続する)他方の主電極領域は隣りに隣接して電極領域を設けることによつて形成する。トランジスタのゲート電極は半導体本体部の領域はとれとの間の部分の上の絶縁層4の部分上に設ける。かくして、この場合、切換自在な装束装置は3チャネルエンハンスメント形トランジスタとなる。

それによつて前記半導体本体1の周辺部おとの間に3a接合を形成させる。マルチチャネル電荷転送機構については例えば引例として挙げる英國特許明細書第1,916,123号に説明がある。半導体本体部分2の全表面を例えばイオン注入により高不純物添加するといふ。既に知られているように、所か高不純物添加表面層を設けることにより、優れた特性をもつマルチ転送チャネルを形成できる。これについては例えばオランダ公同特許公報第720277F号に開示する係属中の英國特許出願第1/978,71F号に説明がある。加うるに高不純物添加表面層の存在により、抵抗性電極4の下で半導体本体部分2内に密着的に発生させる電位差の値を該抵抗性電極4の接続部5と9との間に印加される電圧値に一層精密に対応するようにできる。この例では、電荷蓄積領域は前記半導体本体部分2の一部とし、高不純物添加表面層を構成するようにしてある。この電荷蓄積領域はデューブイプレッション形マルチチャネルトランジスタスイッチの二個の主電極領域及びその一

特開昭53-27382(9)

第7図はまた別の可能な変形、即ち電荷蓄積領域はに等価であるが光起発生電荷キャリア//を集めてその電荷状態及び電位を定めない基準電荷蓄積領域を設ける場合を示す。この基準電荷蓄積領域は寸法及びドレーン(不純物添加)を電荷蓄積領域と等しくする必要はないが、接合容量と同じにトランジスタスイッチを経て電圧V<sub>0</sub>により電荷蓄積領域//と同じ電位に予めバイアスしておく。この場合検出器は電荷蓄積領域//と基準電荷蓄積領域//との間の電位差を検出する。所置により、電荷蓄積領域//に隣接する絶縁抵抗性電極と等価な第二の絶縁抵抗性電極構造を基準電荷蓄積領域//に隣接させることも可能であるが、その場合これを入射封縁膜から遮蔽して、絶縁抵抗性電極構造4、4'の下に発生する暗電流が電荷蓄積領域//に及ぼす効果に対して基準電荷蓄積領域//を補償させる。

第8図はマルチチャネル電荷転送機構を用いる別の変形を示す。この場合、半導体本体部分2を例えば表面に隣接する反対極電極(2a)の島とし、

方とする。このトランジスタスイッチはそのゲート電極に正の電圧レベルを印加することにより閉成(即ちターンオン)して下層トランジスタチャネル部を充分に空乏ならしめることができる。この装置においては、光起発生電子-正孔対の正孔の方をバイアスした抵抗性電極4の下に空乏層内に形成されたドリフト電界に沿つて転送する。

本発明装置において電荷蓄積領域//の小さな電荷状態の変化を検出するためには、検出器回路の入力容量は小さい方が望ましい。第9図はマルチチャネルエンハンスメント形絶縁ゲート電界効果トランジスタを具える斯かる回路の一例を示す。この電界効果トランジスタは光感応素子と同じ半導体本体に一体に集積化できる。この検出回路は既知の形式のものであつて、電荷蓄積領域// (例えば0.1pfのコンデンサC<sub>1</sub>で表す)の電位と成る対応領域(0.1pfのコンデンサC<sub>2</sub>で表す)の電位とを比較する。コンデンサC<sub>2</sub>の両端に流される電流も同じ半導体本体内に設けるが、これは入射

特開昭53-27382(10)

封鎖により光臨起発をされた電荷キャリアを集めることはしない。これら両電位の間の電位差が予定期界値を越えない時は、(この時トランジスタ(11)、(12)及び(13)がターンオンされる)フリップフロップトランジスタ(14)が導通し出力トランジスタ(15)をスイッチオンして低い出力電圧V(16)を与える。

電荷の捕集と放出を行う前に、フリップフロップ(14)及び(15)の両方の電位をトランジスタ(14)により平衡させる。ソースとドレインを短絡させたトランジスタ(14)をコンデンサ(16)に関連する別のコンデンサとして使い或る不平衡を直配フリップフロップ(14)及び(15)に導入する。0(17)と0(18)との間の電位差の前期予定期界値はトランジスタ(16)のゲートに印加される負の電圧パルス(19)の振幅とこのゲートの容量値とによつて定められる。トランジスタ(14)が第1図のトランジスタスイッチ16に等価なことに注目すべきである。かくして、電荷捕集と放出に先立ち、0(17)と0(18)とによつて表わされる電荷蓄積領域15の初期電位と初期

電荷状態を、トランジスタ(14)がオフでトランジスタ(11)、(12)と(13)が導通状態の時、トランジスタ(14)と(15)をターンオンすることによつてセフトする。トランジスタ(11)は、相対電位レベルを抽出するためにトランジスタ(14)、(15)及び(16)をターンオンする直前に、コンデンサ(16)によつて表わされる電荷蓄積領域15をフリップフロップ(14)、(15)から遮断するために設ける。トランジスタ(12)と(13)はトランジスタ(11)と(15)の両方の容量効果を平衡させるために設ける。クロックパルス(19)、(19)、(19)、(19)、(19)及び(19)は、第2図に示すように、トランジスタのターンオン及びターンオフを制御するためにトランジスタのゲートに印加する。これらのクロックパルスはパルス発生器によつて供給できる。

もう一つのトランジスタ(14)は、電荷捕集のため電荷蓄積領域15の初期電位をリセットする直前に、電極(15)の下半導体本体部分(15)の表面(15)の電荷キャリアトラップを消去するために電荷捕集に先立つて電荷蓄積領域15を一時的に放電できるよ

うにする目的で設ける。斯かる表面トラップの充満は第1図の構成においてはトランジスタスイッチ16が導通状態の時且つ電荷蓄積領域15の正流初期負電位V(16)にプリチャージする直前に(例えばクロックパルスによつて)電圧V(16)をアース電位に一時的に下げることによつても行うことができる。

第10図は本発明磁気-光学記憶装置を示す。既知の磁気-光学記憶装置は例えば米国特許第3,664,416号、ドイツ国公開特許公報第2,837,301号(係属中の英国特許出願第99/10/76号)及び「ジャーナルオブアプライドフィジクス」第46巻第6号1975年6月29日、2733-2734中に記載されている。本明装置はこれら全ての文献を引用とするものである。斯かるシステムは一般に記憶蓄積領域61のアレーを有す磁気-光学記憶板60を具える。装置62によつて発生させられたビーム63は案内装置64によつて導向せられて各記憶蓄積領域61を7度Fレスする。記憶板60に属する記憶状態を記憶板60に書き込む時励磁される境界コイル65内に置く。

脱出しは一般にこの面光ビーム63を用いて行う。記憶蓄積領域61を透過した後でこの記憶蓄積領域61の記憶状態如何でビームの偏光面を回転させることができる。透過ビーム63は一方の記憶状態に対応する一平面に偏光されている時はビーム63を透過させ他方の記憶状態に対応する他の平面に偏光されている時は透過させない面光アナライズ64に送す。次に光検出器67を介してビーム63が面光アナライズ66を透過したか否かを検出する。

本発明磁気-光学記憶装置においては、本発明光臨起発装置(例えば前の図面につき説明したような光臨起発装置)をビーム63を抽出するために使用する。記憶板60、面光アナライズ66及び光検出器67は、第10図では明瞭をならしめるため可成りスペースをとって描かれているが、実際に近に近接して配置する。光検出器67の光臨起発領域の大きさは記憶板60の記憶アレーの面積と同じオーダーである。記憶蓄積領域61のどの位置が読出されるかによつて、面光アナライズ66を透過

特開昭53-27382(11)

したビーム 63 は抵抗性電極 8 の下の全光感応区域の異なる部分に入射する。かくして、光検出器 67 の全光感応区域上の光子密度は一般に小さく、例えば 1 秒当たり  $10^{12}$  光子/cm<sup>2</sup> 又はそれ以下である。しかし、光感応区域のどの位置にビーム 63 が入射しようとも、このビーム 63 によつてそこに光増殖発生された正孔は、本発明によれば、電極 8 下のドリフト電界に沿つて転送されることによつて電荷蓄積領域 13 へ転送される。

光感応装置 47 の電荷蓄積領域 13 の電荷状態はビーム 63 が各記憶蓄積領域に切換えられる度に光検出器 20 によつて検出する。偏向装置 68 は制御装置 70 によつて制御する。制御装置 70 はまた信号を光検出器 20 に与えて前記電荷状態を検出し、また信号を電荷蓄積領域 13 の切換自在な接続部 16 のゲート 17 に与えて検出後電荷蓄積領域 13 の電位を V(0) にリセットする。

本発明の範囲内で一層多くの変形例が可能なのは明らかであろう。かくして、様々な部分の例えば幾何学的構成、ドーピング（不純分添加）、

抵抗率その他の特性を広範な範囲内で選択することができる。各種半導体領域の導電型を同時に反対の極に変える（それと共に印加電圧の極性をも変える）ことも可能である。勿論、シリコン以外の他の電荷転送・蓄積媒体、並びに他の結晶層材料及び電極材料を使用することも可能である。

#### 4. 図面の簡単な説明

第 1 図は本発明光感応装置の光感応素子を示す断面図、第 2 図及び第 3 図は第 1 図の光感応素子の装置本体の電位分布を示す説明図、第 4 図は第 1 図の装置に使用するための本発明光感応素子を示す平面図、第 5 図及び第 6 図は本発明光感応素子の変形例を示す平面図、第 7 図及び第 8 図は本発明光感応装置内の光感応素子の他の例を示す断面図、第 9 図は本発明光感応装置の検出器面図を示す接続配置図、第 10 図は本発明光感応装置を用いた回路・光学記憶装置の例を示す側面図である。

1…半導体本体、2…半導体本体部分、3…入射電射線、4…電極層、5…主表面、6…層隙層、

7…空乏層、8…第一接続部、9…第二接続部、10…ドリフト電界、11…正孔、12…接合、13…電荷蓄積領域、14…接続装置、15…ゲート電極、16…換い電位、17…電極装置、18…検出器回路、19…第一レベル、20…第二レベル、21…電位井戸、22…主電極部、23…副電極部、24…第一接続部、25…主電極領域、26…副電極蓄積領域、27…周辺部、28…主電極領域、29…チャネル部、30…記憶板、31…記憶蓄積領域、32…ビーム発生装置、33…ビーム、34…偏向装置、35…選界コイル、36…偏光アライザ、37…光検出器、38…制御装置、39 (R1)、39 (R2)、39 (0) …バイアス電圧、V(0) …出力電圧、T(0)、T(4) …フラッシュアップ、40…電荷蓄積領域の最大寸法、41…光感応区域の最小寸法。

特開昭53-27382 (12)

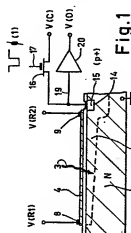


Fig. 1

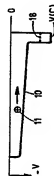


Fig. 2

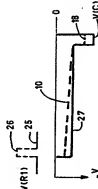


Fig. 3

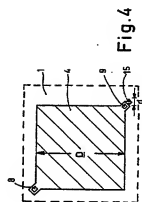


Fig. 4

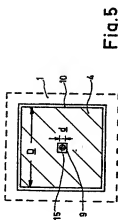


Fig. 5

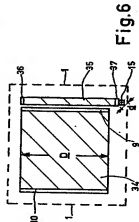


Fig. 6

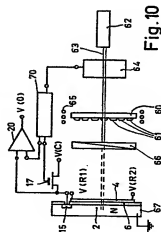


Fig. 10

特開昭53-27382 (14)

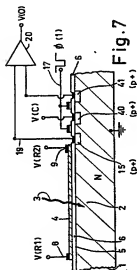


Fig. 7

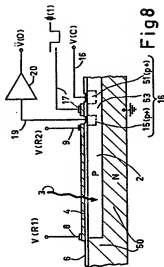


Fig. 8

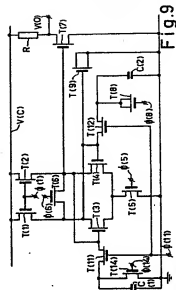


Fig. 9